



PTO/SB/02B (08-03)

Approved for use through 08/31/2003. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

**DECLARATION – Supplemental Priority Data Sheet**

Foreign applications:

| Prior Foreign Application<br>Number(s) | Country       | Foreign Filing Date<br>(MM/DD/YYYY) | Priority<br>Not Claimed  | Certified Copy Attached?            |                          |
|--|---------------|-------------------------------------|--------------------------|-------------------------------------|--------------------------|
|  |               |                                     |                          | YES                                 | NO                       |
| 092128001                              | Taiwan R.O.C. | 10/8/2003                           | <input type="checkbox"/> | <input checked="" type="checkbox"/> | <input type="checkbox"/> |
|  |               |                                     | <input type="checkbox"/> | <input type="checkbox"/>            | <input type="checkbox"/> |
|  |               |                                     | <input type="checkbox"/> | <input type="checkbox"/>            | <input type="checkbox"/> |
|  |               |                                     | <input type="checkbox"/> | <input type="checkbox"/>            | <input type="checkbox"/> |
|  |               |                                     | <input type="checkbox"/> | <input type="checkbox"/>            | <input type="checkbox"/> |
|  |               |                                     | <input type="checkbox"/> | <input type="checkbox"/>            | <input type="checkbox"/> |
|  |               |                                     | <input type="checkbox"/> | <input type="checkbox"/>            | <input type="checkbox"/> |
|  |               |                                     | <input type="checkbox"/> | <input type="checkbox"/>            | <input type="checkbox"/> |
|  |               |                                     | <input type="checkbox"/> | <input type="checkbox"/>            | <input type="checkbox"/> |
|  |               |                                     | <input type="checkbox"/> | <input type="checkbox"/>            | <input type="checkbox"/> |
|  |               |                                     | <input type="checkbox"/> | <input type="checkbox"/>            | <input type="checkbox"/> |
|  |               |                                     | <input type="checkbox"/> | <input type="checkbox"/>            | <input type="checkbox"/> |
|  |               |                                     | <input type="checkbox"/> | <input type="checkbox"/>            | <input type="checkbox"/> |
|  |               |                                     | <input type="checkbox"/> | <input type="checkbox"/>            | <input type="checkbox"/> |
|  |               |                                     | <input type="checkbox"/> | <input type="checkbox"/>            | <input type="checkbox"/> |
|  |               |                                     | <input type="checkbox"/> | <input type="checkbox"/>            | <input type="checkbox"/> |

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 21 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

**BEST AVAILABLE COPY**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder.

申請日：西元 2003 年 10 月 08 日  
Application Date

申請案號：092128001  
Application No.

申請人：瑞昱半導體股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 1 月  
Issue Date

發文字號：09320056570  
Serial No.

CERTIFIED COPY OF  
PRIORITY DOCUMENT

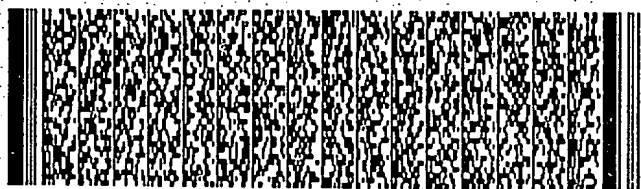
92A-06645/JP

|       |       |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： |       |

(以上各欄由本局填註)

## 發明專利說明書

|                    |                      |  |
|--------------------|----------------------|--|
| 一、<br>發明名稱         | 中文                   | 萬用介面控制電路   |
|                    | 英文                   | GENERAL INTERFACE CONTROL CIRCUIT  |
| 二、<br>發明人<br>(共1人) | 姓名<br>(中文)           | 1. 張輝煌   |
|                    | 姓名<br>(英文)           | 1. CHANG, HUI-HUANG  |
|                    | 國籍<br>(中英文)          | 1. 中華民國 TW   |
|                    | 住居所<br>(中文)          | 1. 新竹縣芎林鄉三民路一一三號八樓之三   |
|                    | 住居所<br>(英文)          | 1. 8F-3, No. 113, San-Min Rd., Chiung-Lin Hsiang, Hsin-Chu Hsien, Taiwan, R.O.C.       |
| 三、<br>申請人<br>(共1人) | 名稱或姓名<br>(中文)        | 1. 瑞昱半導體股份有限公司   |
|                    | 名稱或姓名<br>(英文)        | 1. REALTEK SEMICONDUCTOR CORP.   |
|                    | 國籍<br>(中英文)          | 1. 中華民國 TW   |
|                    | 住居所<br>(營業所)<br>(中文) | 1. 新竹縣新竹科學園區工業東九路二號 (本地址與前向貴局申請者相同)  |
|                    | 住居所<br>(營業所)<br>(英文) | 1. 2 Industry E. Rd. IX, Science-Based Industrial Park, Hsin-Chu Hsien, Taiwan, R.O.C. |
|                    | 代表人<br>(中文)          | 1. 葉博任   |
|                    | 代表人<br>(英文)          | 1. YEH, PO-LEN   |

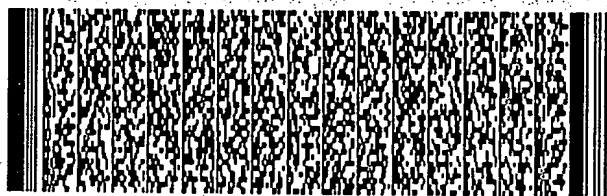


四、中文發明摘要 (發明名稱：萬用介面控制電路)

本發明提供一種介面控制電路，用來輸出或輸入預設數目筆資料，該介面控制電路包含有至少一控制表，用來控制排列順序、接腳數、以及週期等設定；以及一時序控制單元，電連於該至少一控制表，用來將該預設數目筆資料於該設定個週期內由該設定的接腳輸出或輸入。

五、英文發明摘要 (發明名稱：GENERAL INTERFACE CONTROL CIRCUIT)

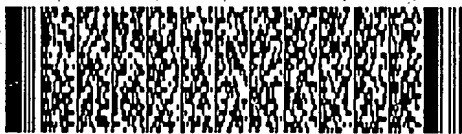
An general interface control circuit for outputting or inputting a predetermined number of data includes at least a control table for providing a predetermined sequence, a predetermined number of I/O pins, predetermined cycles for outputting/inputting the predetermined number of data. The interface control circuit further includes a timing control unit



四、中文發明摘要 (發明名稱：萬用介面控制電路)

五、英文發明摘要 (發明名稱：GENERAL INTERFACE CONTROL CIRCUIT)

electrically connected to the control table for outputting/inputting the predetermined number of data through the predetermined number of I/O pins during the predetermined cycles.

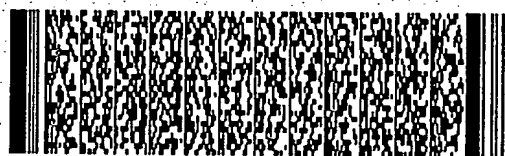


六、指定代表圖

(一)、本案代表圖為：第 二 圖

(二)、本案代表圖之元件代表符號簡單說明：

- 30 電路系統
- 32 介面控制電路
- 34 外部電路系統
- 36 控制表
- 38 萬用介面控制單元
- 40 資料順序選擇表
- 44 接腳順序選擇表
- 42 輸出入時序控制表
- 48 接腳



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



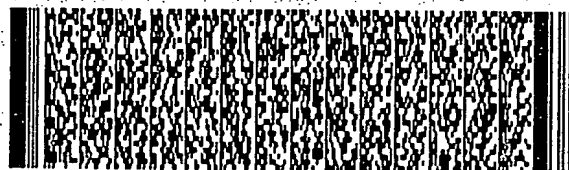
## 五、發明說明 (1)

### 【技術領域】

本發明提供一種介面控制電路及相關方法，尤指一種可調整傳輸資料之排列順序、輸出入接腳之數目及位置、以及輸出入之時序及控制訊號的介面控制電路及相關方法。

### 【先前技術】

一般在將兩個電路系統相互連接時，需要透過一介面控制電路，並預先定義好欲傳輸之資料型式、輸出入接腳的數目、以及在多少個時脈期內完成資料傳輸之運作。圖一為一習知介面控制電路 12 的功能方塊圖，介面控制電路 12 係設置於一第一電路系統 10 中，而第一電路系統 10 可透過此介面控制電路 12 與一第二電路系統 14 溝通。第一電路系統 10 另包含一用來輸出或輸入資料之複數個第一接腳 18，而第二電路系統 14 則設置有對應之複數個第二接腳 20 及一第二內部電路 22。在實際操作時，對第一電路系統 10 而言，所欲溝通之第二電路系統 14 可能具有不同的規格，而每一種特定規格之第二電路系統 14 會對應至不同的輸出入時序及接腳數（第二接腳 20 的數目），使得當第一電路系統 10 欲連接至不同規格之第二電路系統 14 時，第一電路系統 10 中之介面控制電路 12 必須做出適當的調整。再者，當第一電路系統 10 同時連接至複數個不同規格之第二電路系統 14 時，則大幅增加介面控制電路 12 運作的困難度。舉例而



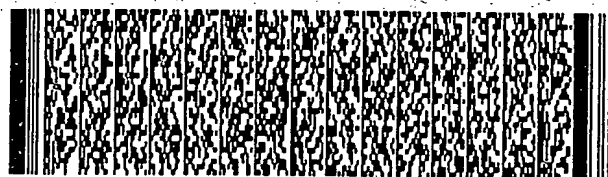


## 五、發明說明 (2)

言，圖一之第一電路系統10可視為一系列印控制數位電路，同時連接至複數種不同型式的噴墨頭並控制其運作，若這些噴墨頭分別使用不同規格的功率驅動晶片(第二電路系統14)，而這些不同規格的功率驅動晶片分別對應至不同型式的控制介面，如此一來，習知之第一電路系統10若仍要使用統一的介面，亦即介面控制電路12，是無法符合這些不同規格的功率驅動晶片不同型式的控制介面。

在習知技術的範疇中，可使用一微處理器來完成圖一之介面控制電路12，其利用韌體的方式處理資料，然後依一預設之順序將資料透過第一接腳18及第二接腳20送至第二電路系統14。雖然如此可利用修改韌體的方式因應不同之第二電路系統14的需求，調整介面設定以完成傳輸運作，然韌體固定後，其介面控制電路12之定義亦固定，仍有上述問題。另一習知技術亦有使用可程式化之邏輯閘陣列(Gate Array)來實現控制介面傳輸時序的機制，由於可程式化之邏輯閘陣列可針對不同之第二電路系統14之需求設定修改圖一介面控制電路12之相關電路參數來完成傳輸需求，使得此項習知技術具有相當大的彈性，然而，可程式化之邏輯閘陣列的電路較為複雜，在晶片上所需使用的電路面積相當大，因而提高產品的成本，增加設計時的困難度。

【內容】



### 五、發明說明 (3)

本發明的主要目的在於一種可調整介面特性之介面控制電路及方法，以達到介面的彈性控制。

在本發明中，於介面控制電路中設置複數個可更新之控制表，來因應各種規格之外接電路的需求以調整對應之傳輸介面特性，並利用查詢這些控制表的方式，將欲輸出的資料依一預設排列順序讀出、排列，並選擇出預設數目個接腳，將具有預設排列順序之資料存入預設數目個接腳之中。相對應之接腳位置，最後依據一輸出入時序將資料輸出。本發明中設置三個可更新之控制表：一資料順序選擇表、一接腳順序選擇表及一輸出入時序控制表，用來分別決定欲輸出資料之選取及預設排列順序、輸出入之接腳數及接腳對應以及輸出入時序。如此一來，本發明之介面控制電路即可於預設數目個週期內，於預設數目個接腳處輸出入具有一預設排列順序之預設數目筆資料，輕易達成輸出入控制的彈性。

#### 【實施方法】

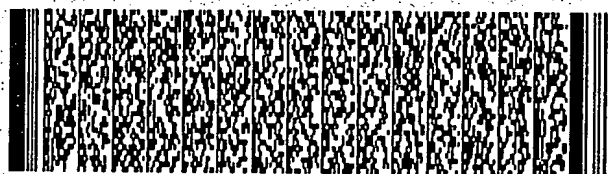
圖二為本發明一介面控制電路 32 之一實施例的示意圖。介面控制電路 32 設置於一電路系統 30 中，此電路系統 30 可透過此介面控制電路 32 與外部電路系統 34 溝通。由於要配合外部電路系統 34 的介面控制需求，此電路系統 30 有預設數



#### 五、發明說明 (4)

目筆 (設為  $n$  筆) 資料需經由預設數目個 (設為  $m$  個) 接腳 48 輸出至外部電路系統 34, 且整個傳輸過程必須在預設數目個週期 (設為  $T$  個) 內完成, 因此, 為使介面控制電路 32 在此特定規格下完成此次傳輸, 該介面控制電路 32 包含有至少一控制表 36 與一萬用介面控制單元 38, 此些控制表 36 用來提供一預設排列順序、預設接腳數以及預設週期數等參數, 而萬用介面控制單元 38 則與該控制表 36 相連, 依據該控制表 36 所提供的參數, 將該  $n$  筆資料於預設之  $T$  個週期內, 由預設之  $m$  個接腳 48 處輸出至外接的外部電路系統 34, 例如, 若依據外部電路系統 34 的要求,  $n$  設為 50 而  $m$  設為 10, 而  $T$  所設定的值須大於或等於 5 ( $50/10=5$ ), 如此一來, 介面控制電路 32 需控制此 50 筆資料於至少五個週期內, 分批由預設之 10 個接腳 48 處分別輸出。

控制表 36 包含一資料順序選擇表 40、一接腳順序選擇表 44 及一輸出入時序控制表 42。資料順序選擇表 40 用來提供上述之預設排列順序; 接腳順序選擇表 44 可預先決定出預設之接腳數; 輸出入時序控制表 42 亦可提供上述之預設週期數。由於這些控制表 36 皆為可更新的, 因此, 設計者或使用者能依照具有不同型式控制介面之外部電路系統 34 的要求, 調整控制表 36 中設定之預設排列順序、預設接腳數、以及預設週期數等參數即可。在實際實施例, 資料順序選擇表 40、接腳順序選擇表 44、以及輸出入時序控制表 42 可分別儲存於一記憶裝置中, 而記憶裝置的形式不拘, 如



#### 五、發明說明 (5)

RAM, ROM等。再者,在硬體配置上,每一控制表可搭配執行相關操作之韌體及硬體裝置,形成另一種實施例。

當然,亦可將該控制表 36置於該萬用介面控制單元 38內,請參閱圖三,圖三為本發明萬用介面控制電路 32之詳細示意圖。萬用介面控制電路 32包含一資料順序選擇模組 60、一接腳順序選擇模組 62以及一輸出入時序控制模組 64。資料順序選擇模組 60包含一資料順序選擇表 70,用來提供預設排列順序,資料順序選擇模組 60可依據該預設排列順序由電路系統 50中存取預設數目筆資料。接腳順序選擇模組 62包含一接腳順序選擇表 72,用來決定出預設接腳數以及分別對應於所欲輸出入之資料之接腳 58位置,而接腳順序選擇模組 62可依據接腳順序選擇表 72之內容,將資料寫入該預設數目個接腳 58中。輸出入時序控制模組 64電連於資料順序選擇模組 60與接腳順序選擇模組 64之間,包含一輸出入時序控制表 74,可提供一輸出入時序以及至少一控制訊號,整合資料順序選擇模組 60與接腳順序選擇模組 64之運作,使預設數目筆資料於預設數目個週期內由預設數目個接腳 58輸出電路系統 50,或由外部電路系統 54輸入電路系統 50中。

圖四為資料順序選擇模組 60及接腳順序選擇模組 62於資料輸出時之運作情形。資料順序選擇模組 60包括一資料順序選擇表 70、一資料選擇器 63(Multiplexer)以及一計數器



#### 五、發明說明 (6)

61(Counter)，藉由計數器 61 帶動資料順序選擇表 70，讓資料選擇器 63(可為一多工器)，能依據資料順序選擇表 70 所提供之預設排列順序，由電路系統 50 中存有複數筆資料之一資料源 66 中依序選取出預設數目 (n) 筆資料 (SRC0、SRC1 至 SRC $n-1$ )，此選取出之預設數目 (n) 筆資料會依此預設排列順序傳送至接腳順序選擇模組 62。接腳順序選擇模組 62 包含一接腳順序選擇表 72、一與接腳順序選擇表 72 相連之計數器 71、以及一對應於預設數目 (m) 個接腳 58 的輸出暫存器 65 (OUT0、OUT1 至 OUT $m-1$ )。接腳順序選擇表 72 可預先決定出預設之接腳數 (m)，同時藉由計數器 71 驅動接腳順序選擇表 72，讓接腳順序選擇表 72 選擇適當之輸出接腳 58 將預設數目 (n) 筆資料分批寫入輸出暫存器 65 (具有 m 個儲存空間) 中，作為輸出之準備。另一實施例為可省略資料選擇器 63，而是由資料順序選擇表 70 直接驅動資料源 66 輸出至輸出暫存器 65。

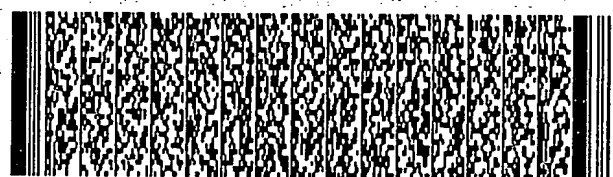
圖五為輸出入時序控制模組 64 的架構及運作情形。與圖四一同觀之，輸出入時序控制模組 64 與資料順序選擇模組 60 及接腳順序選擇模組 62 相接，包含了一計數器 81、一輸出入時序控制表 74。輸出入時序控制模組 64 由計數器 81 送給輸出入時序控制表 74 一個循序訊號 ST，由於輸出入時序控制表 74 中記錄有介面控制之輸出入時序及相關控制訊號 (如圖中之 N0、N1、...、Ns 至 Ns+2)，資料順序選擇模組 60 與接腳順序選擇模組 62 可依據輸出入時序控制表 74 之內容



#### 五、發明說明 (7)

協調兩者的運作，同時，這些訊號可直接由輸出入時序控制模組 64 輸出，並藉由一暫存器或一栓鎖器 (Latch) 69 達成同步傳輸 (如圖中對應於  $N_0$  至  $N_s$  之暫存器 (栓鎖器)  $T_0$  至  $T_s$ )。此外，如圖二實施例所述，控制訊號中亦可包含與輸入輸出操作相關的參考訊息，如圖五中所示之一輸入控制訊號 FIN 及一輸出控制訊號 FOUT，資料順序選擇模組 60 與接腳順序選擇模組 62 可搭配此些控制訊號執行資料輸出或輸入之功能。

請參閱圖六，圖六為資料順序選擇模組 60 與接腳順序選擇模組 62 於資料輸入時之運作情形。接腳順序選擇模組 62 包含了接腳順序選擇表 72、計數器 71、一輸入暫存器 67、以及一資料選擇器 73。輸入暫存器 67 ( $IN_0$ 、 $IN_1$  至  $IN_{m-1}$ ) 近似於圖四之輸出暫存器 65 並對應於電路系統 50 之 ( $m$  個) 接腳 58，計數器 71 與接腳順序選擇表 72 相連，驅動接腳順序選擇表 72 提供預設之接腳數及將資料由輸入暫存器 67 輸入之順序，並使用資料選擇器 73 (可為一多工器) 依據接腳順序選擇表 72 之內容選出欲輸入的資料，傳送至電路系統 50 中儲存資料之一資料目標位置 76 ( $DES_0$ 、 $DES_1$  至  $DES_{n-1}$ ) 與資料順序選擇模組 60 中。資料順序選擇模組 60 包含了一用來提供預設排列順序之資料順序選擇表 70 及計數器 61，藉由計數器 61 驅動資料順序選擇表 70，讓資料順序選擇表 70 將資料選擇器 73 選出的預設數目筆資料依此預設排列順序，寫入資料目標位置 76 中對應之位置。另一實施例為省



#### 五、發明說明 (8)

略接腳順序選擇模組 62，將該資料選擇器 63 直接輸出至接腳 58。

將資料輸出與輸入加以分別的情況下，把資料順序選擇模組 60 分為一輸出資料順序選擇模組 81 以及一輸入資料順序選擇模組 83，並將接腳順序選擇模組 62 分為一輸出接腳順序選擇模組 85 以及一輸入接腳順序選擇模組 87，即成為下述圖七實施例。圖七為本發明萬用介面控制電路 80 又一實施例的示意圖。

事實上，若將三種控制表（資料順序選擇表、接腳順序選擇表、及輸出入時序控制表）皆為一獨立之技術特徵，並可各別應用於一般的介面控制電路上。本發明利用查表以彈性控制輸出入介面的完整技術特徵，使本發明之介面控制電路在低成本及操作簡易的優勢下，任意調整輸出入接腳數、輸出入資料量、輸出入資料順序、控制時序等介面特性，因應各種規格之外接電路的介面需求。

上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明

圖一為一習知介面控制電路的功能方塊圖。

圖二為本發明一介面控制電路之一實施例的示意圖。

圖三為本發明介面控制電路之另一實施例的示意圖。

圖四為圖三介面控制電路之一詳細實施例的示意圖。

圖五為圖三介面控制電路之另一詳細實施例的示意圖。

圖六為圖三介面控制電路之又一詳細實施例的示意圖。

圖七為本發明介面控制電路又一實施例的示意圖。

### 圖式之符號說明

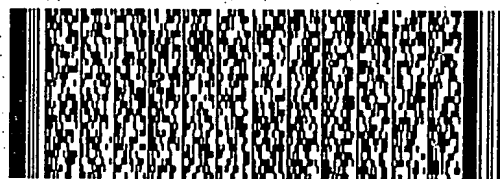
- 10 第一電路系統
- 32、52、82 萬用介面控制電路
- 16、66 資料源
- 22 第二內部電路
- 30、50 電路系統
- 14、34、54 外部電路系統
- 36 控制表
- 38 萬用介面控制單元
- 40、70 資料順序選擇表
- 42、72 接腳順序選擇表
- 44、74、94 輸出入時序控制表
- 48、58 接腳





圖式簡單說明

- 60 資料順序選擇模組
- 61、71、81 計數器
- 62 接腳順序選擇模組
- 63、73 資料選擇器
- 64、84 輸出入時序控制模組
- 65 輸出暫存器
- 67 輸入暫存器
- 69 暫存器
- 76 資料目標位置
- 81 輸出資料順序選擇模組
- 83 輸入資料順序選擇模組
- 85 輸出接腳順序選擇模組
- 87 輸入接腳順序選擇模組
- 91 輸出資料順序選擇表
- 93 輸入資料順序選擇表
- 95 輸出接腳順序選擇表
- 97 輸入接腳順序選擇表



## 六、申請專利範圍

1. 一種介面電路位於一電路系統中，用以傳送一資料，包含：

複數個輸出入端；

一輸出入端順序選擇表，用以記錄一至少一輸出入端資料；以及

一輸出入端順序選擇模組，依據該至少一輸出入端資料，依序由該複數個輸出端之該至少一輸出入端傳送該資料。

2. 如申請專利範圍第1項之介面電路，其中該輸出入端順序選擇表係為可更新的。

3. 如申請專利範圍第1項之介面電路，其中該電路系統係連接於一第二電路系統，且該輸出入端順序選擇表中之內容係對應於該第二電路系統之需求。

4. 如申請專利範圍第1項之介面電路，還包括：

一資料順序選擇表，用來提供一排列順序；及

一資料順序選擇模組，依據該排列順序，由該至少一輸出入端依序傳送該資料。

5. 如申請專利範圍第1或第4項之介面電路，還包括：

一時序控制表，用來提供一週期資料；及

一時序控制單元，依據該週期資料，傳送該資料。



六、申請專利範圍

6. 如申請專利範圍第5項之介面電路，其中該時序控制單元可依據該週期資料，輸出一時序信號。

7. 一種介面電路，用以傳送一資料，該介面控制電路包含有：

至少一輸出入端；

一資料順序選擇表，用來提供一排列順序；及

一資料順序選擇模組，依據該排列順序，由該至少一輸出入端依序傳送該資料。

8. 如申請專利範圍第7項之介面電路，其中該資料順序選擇表係為可更新的。

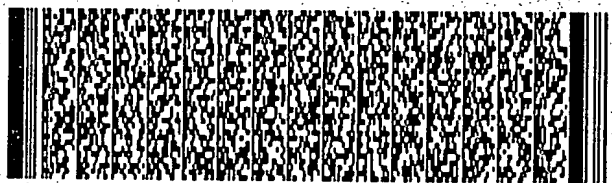
9. 如申請專利範圍第7項之介面電路，其中該電路系統係連接於一第二電路系統，且該資料順序選擇表中之內容係對應於該第二電路系統之需求。

10. 如申請專利範圍第7項之介面電路，還包括：

一時序控制表，用來提供一週期資料；及

一時序控制單元，依據該週期資料，傳送該資料。

11. 如申請專利範圍第10項之介面電路，其中該時序控制單元可依據該週期資料，輸出一時序信號。



#### 六、申請專利範圍

12. 一種介面電路，用來輸出一時序信號，該介面控制電路包含有：

一時序控制表，用來提供一週期資料，該週期資料與該時序信號相對應；及

一時序控制單元，依據該週期資料，輸出該時序信號。

13. 如申請專利範圍第12項之介面電路，其中該時序控制表還包括一準位資料，該準位資料與該時序信號相關。

14. 如申請專利範圍第12項之介面電路，其係設置於一電路系統中，該電路系統係藉由該介面控制電路連接至至少一第二電路系統，其中該時序控制表中之內容係皆對應於該至少一第二電路系統之需求。

15. 如申請專利範圍第12項之介面電路，其中該時序控制表為可更新的。

16. 一種介面電路，用來傳送一資料，該介面控制電路包含有：

一資料順序選擇模組，包含一資料順序選擇表，用來提供一排列順序，該資料順序選擇模組用來依據該排列順序，排列該資料；以及

一接腳順序選擇模組，包含一接腳順序選擇表，用來記錄相對應於該資料之一至少一接腳，該接腳順序選擇模組藉



## 六、申請專利範圍

由該至少一接腳接腳傳送該資料。

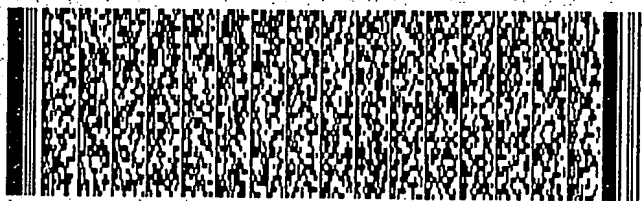
17. 如申請專利範圍第16項之介面電路，其中還包括：  
一輸出入時序控制模組，電連於該資料順序選擇模組以及該接腳順序選擇模組，包含一輸出入時序控制表，用來提供一週期資料，以使該資料依據該週期資料，傳送該資料。

18. 如申請專利範圍第19項之介面電路，其係設置於一電路系統中，該電路系統係藉由該介面控制電路連接於至少一第二電路系統，其中該資料順序選擇表、該接腳順序選擇表、以及該輸出入時序控制表中至少其一為可更新的，並符合該至少一第二電路系統之需求。

19. 如申請專利範圍第16或第17項之介面電路，其中該資料順序選擇模組包含一輸出資料順序選擇模組以及一輸入資料順序選擇模組，該接腳順序選擇模組包含一輸出接腳順序選擇模組以及一輸入接腳順序選擇模組。

20. 一種用以傳送一資料的方法，該方法包含有：  
依據一資料順序選擇表決定出一排列順序；以及  
依據該排列順序，排列並傳送該資料。

21. 如申請專利範圍第20項之方法，該方法還包含有：



## 六、申請專利範圍

依據一接腳順序選擇表決定出一至少一接腳；以及  
由該至少一接腳依序傳送該資料。

22. 如申請專利範圍第 20 或第 21 項之方法，其中該方法另包含：

依據一週期資料，由該至少一接腳依序傳送該資料。

23. 如申請專利範圍第 20 或第 21 或第 22 項之方法，其中該資料順序選擇表為可更新的。

24. 一種用以傳送一資料的方法，該方法包含有：

依據一接腳順序選擇表決定出一至少一接腳；以及  
由該至少一接腳依序傳送該資料。

25. 如申請專利範圍第 24 項之方法，其中該方法另包含：

依據一週期資料，由該至少一接腳依序傳送該資料。

26. 一種用以輸出一控制訊號的方法，該方法包含有：

依據一輸出入時序控制表決定出一輸出入時序；以及  
依據該輸出入時序，輸出該控制訊號。

27. 如申請專利範圍第 26 項之方法，其中該輸出入時序控制表係為可更新的。



## 六、申請專利範圍

28. 一種用以傳送一資料的方法，該方法包含有：

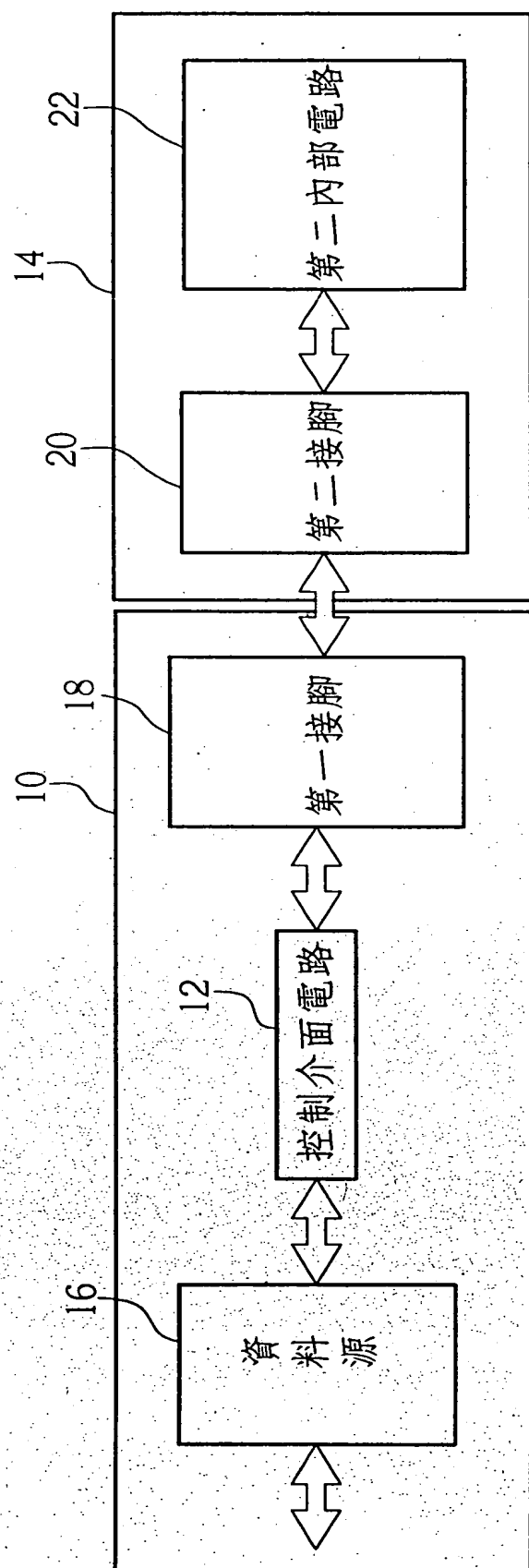
依據一資料順序選擇表，將該資料依序讀出並加以排列；以及

依據一接腳順序選擇表，將該資料寫入相對應之接腳；

29. 如申請專利範圍第 28 項之方法，其中還包括：

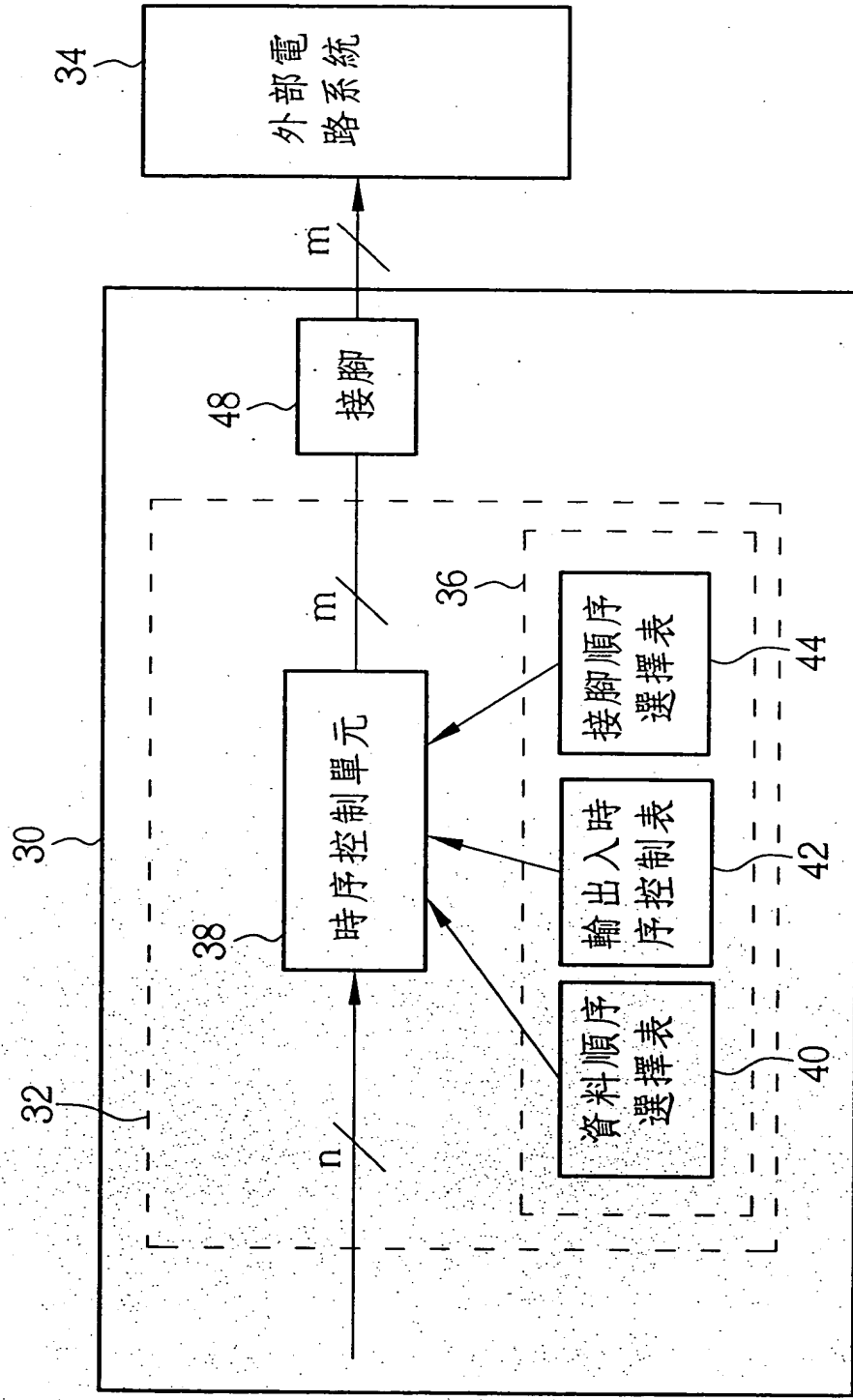
依據一輸出入時序控制表，將該資料於相對應之週期內，由該相對應之接腳輸出。



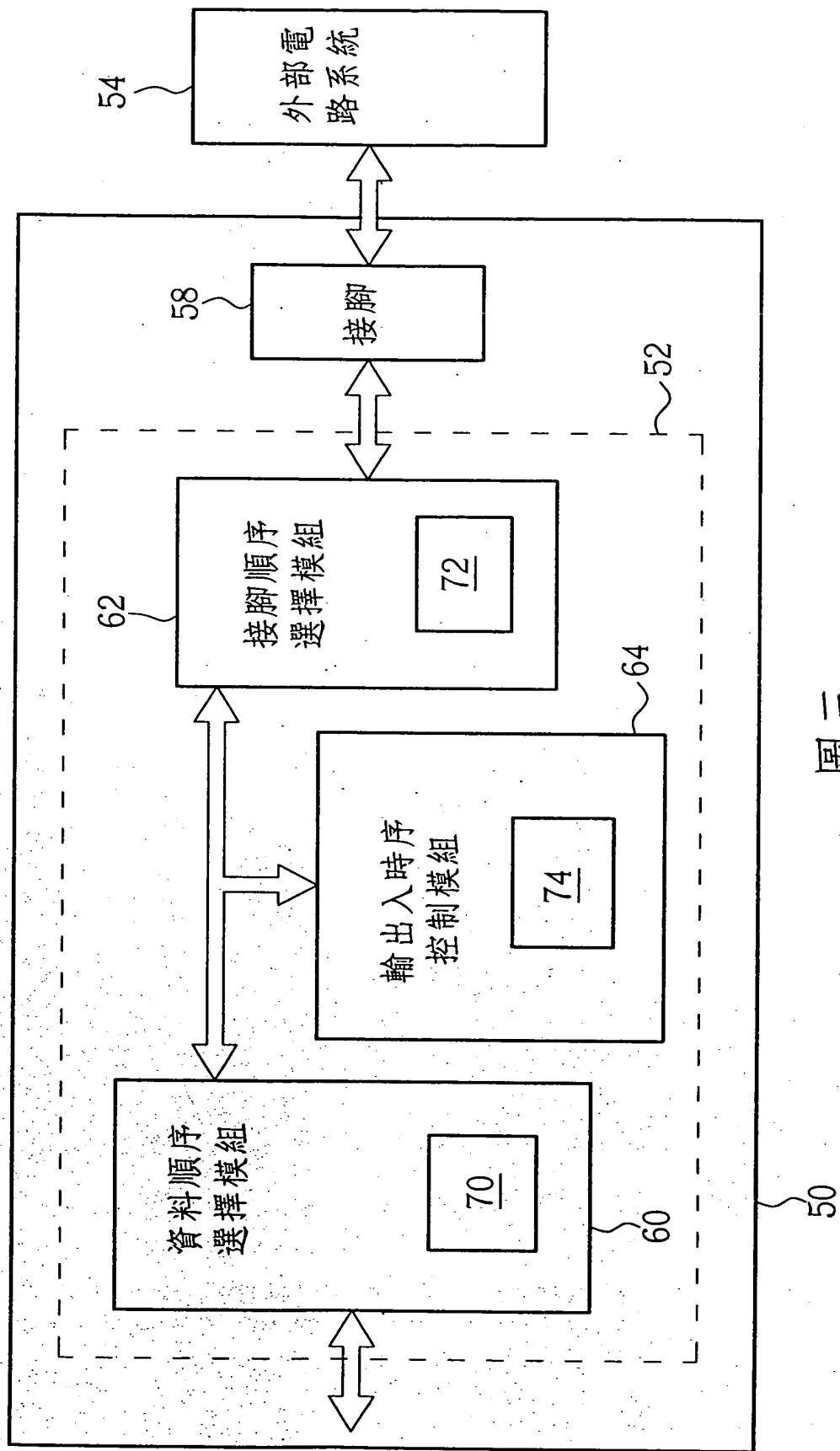


圖一

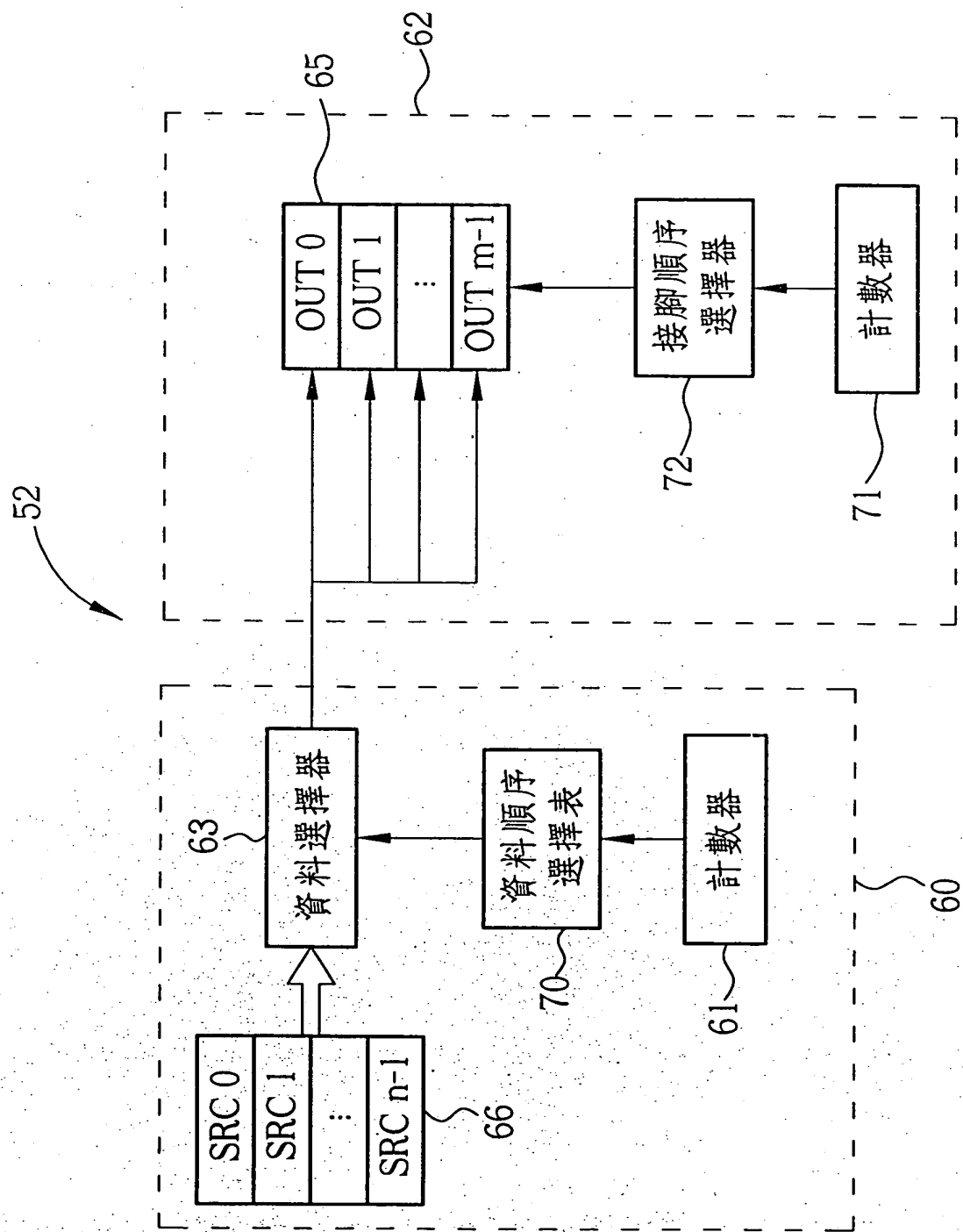




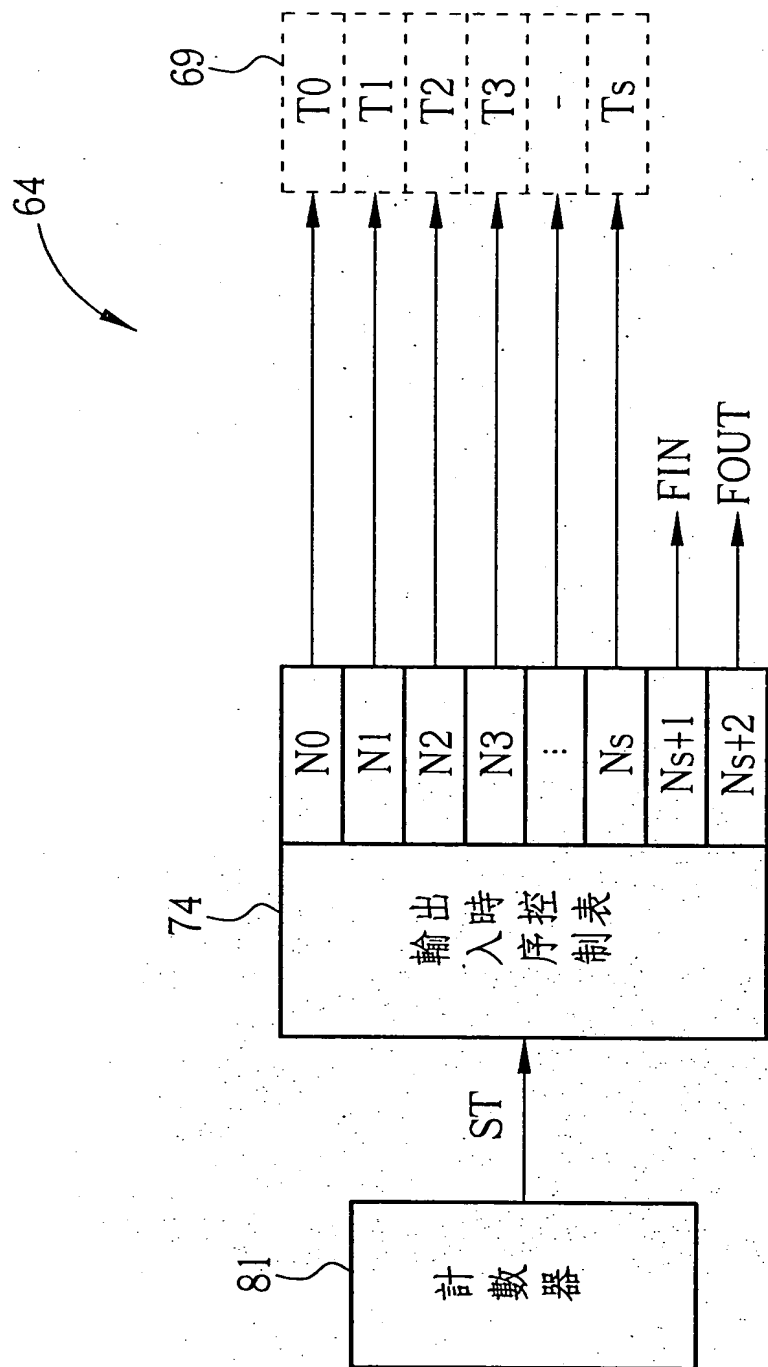
圖二



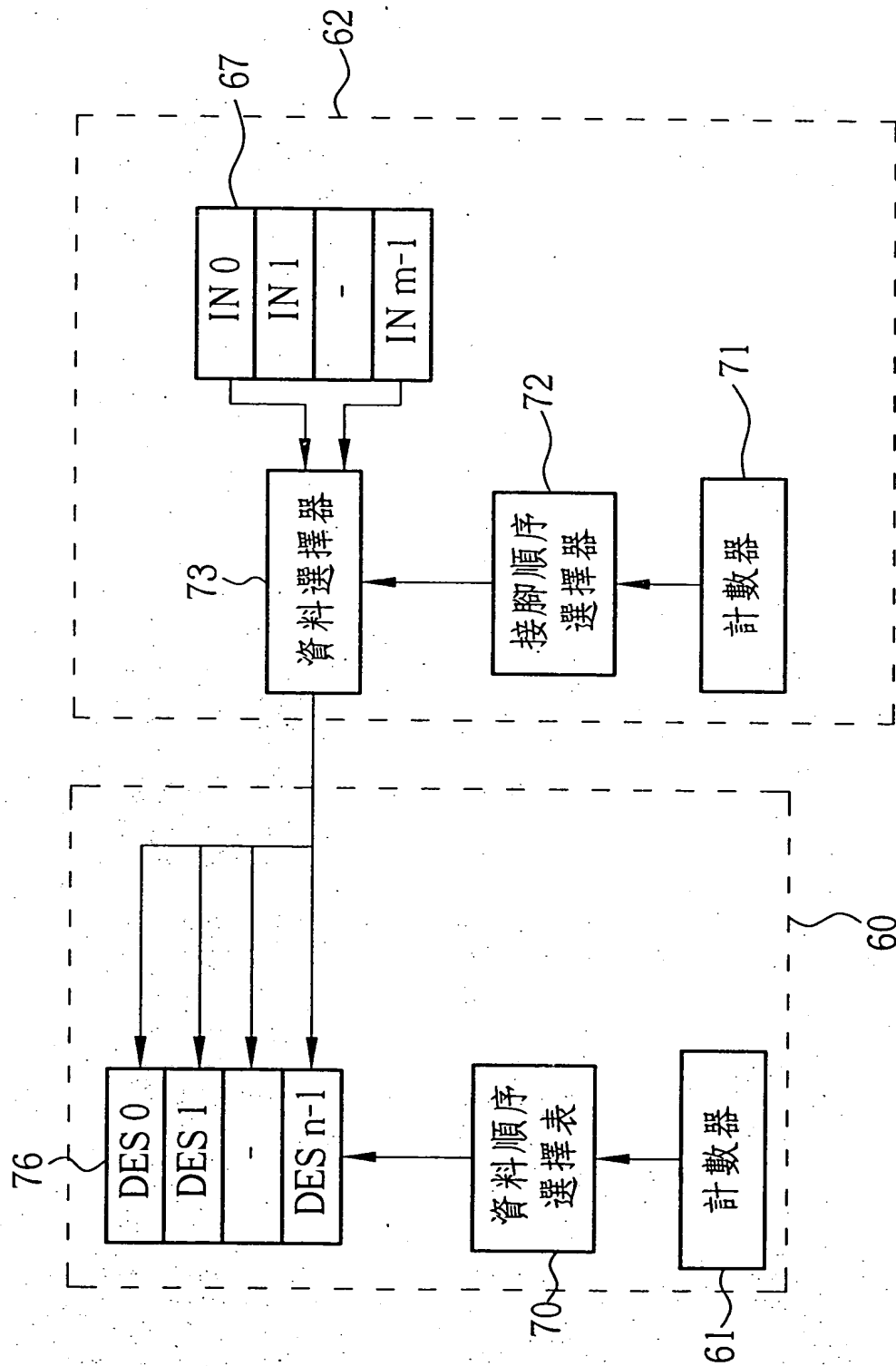
圖三



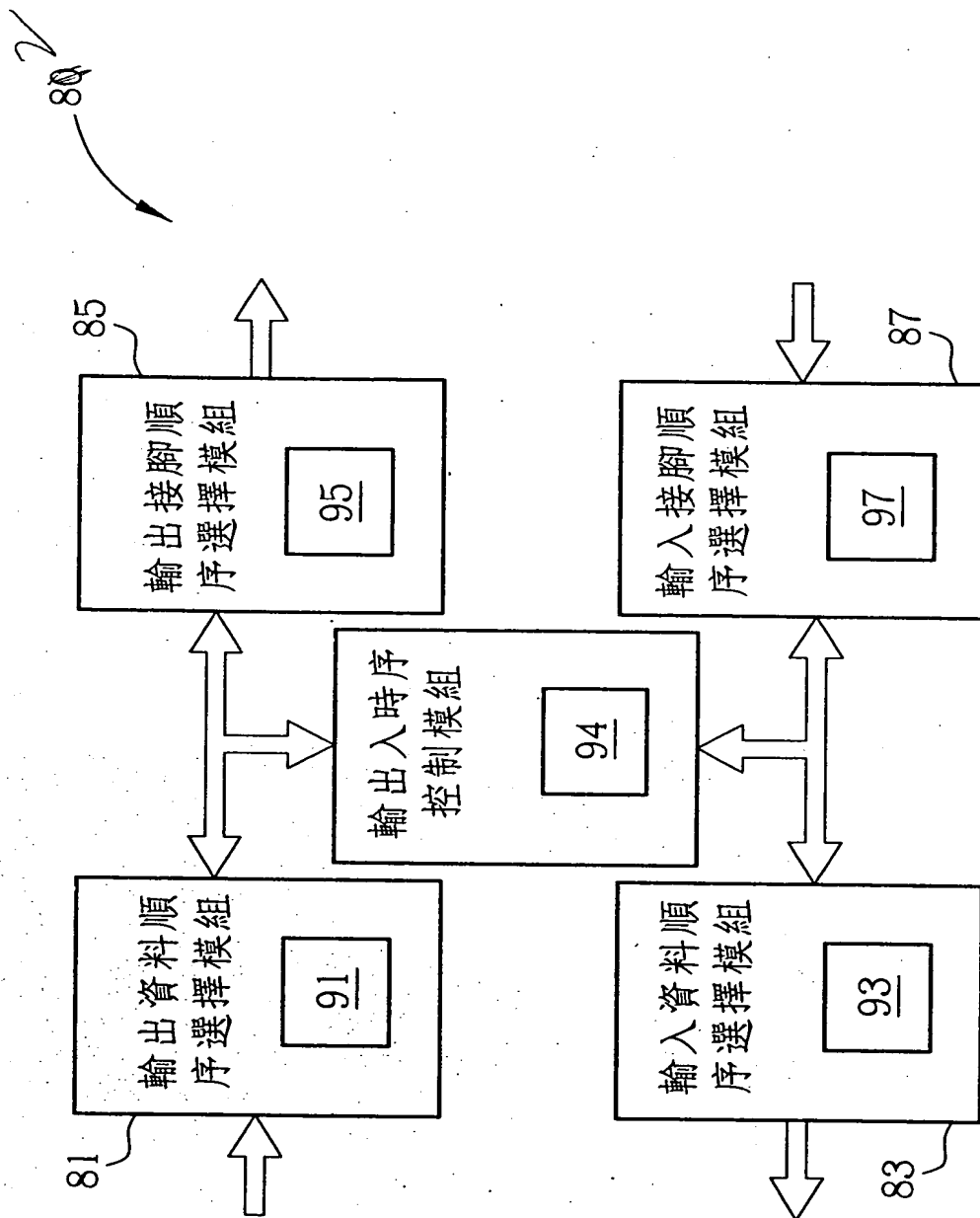
圖四



圖五

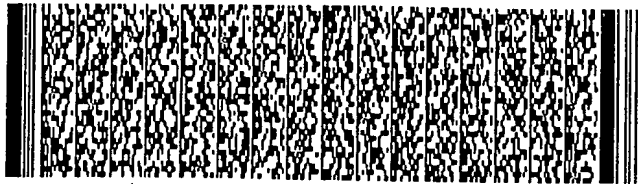


圖六

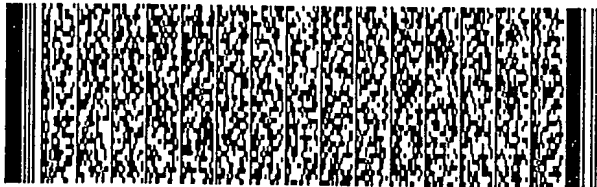


圖七

第 1/21 頁



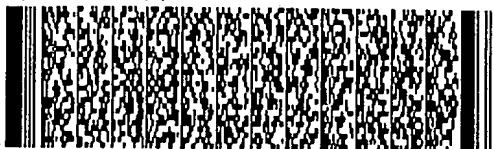
第 2/21 頁



第 3/21 頁



第 4/21 頁



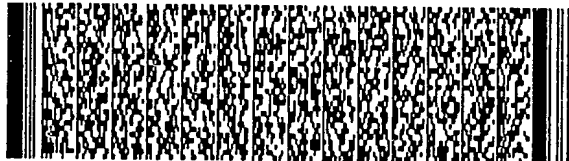
第 5/21 頁



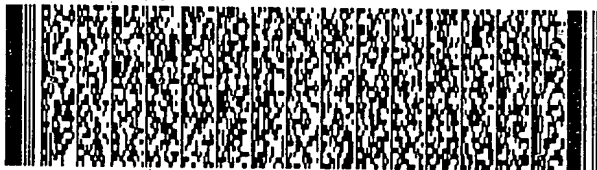
第 6/21 頁



第 6/21 頁



第 7/21 頁



第 7/21 頁



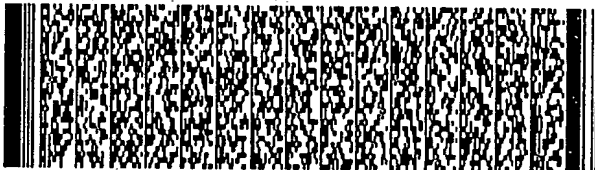
第 8/21 頁



第 8/21 頁



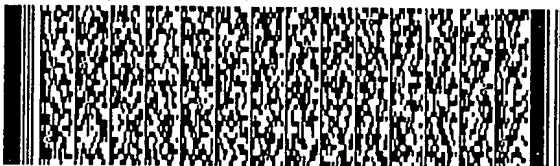
第 9/21 頁



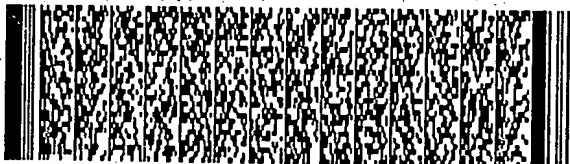
第 9/21 頁



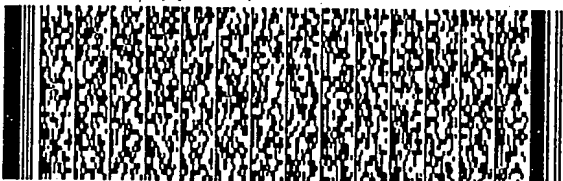
第 10/21 頁



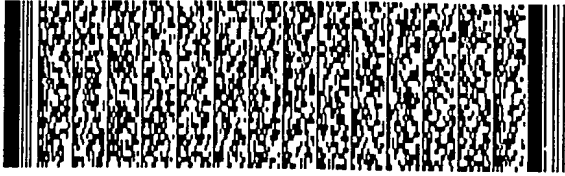
第 10/21 頁



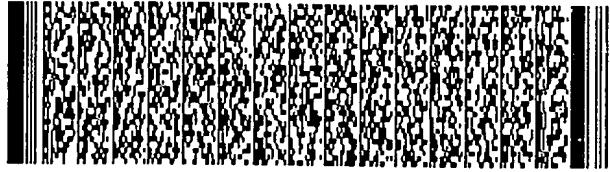
第 11/21 頁



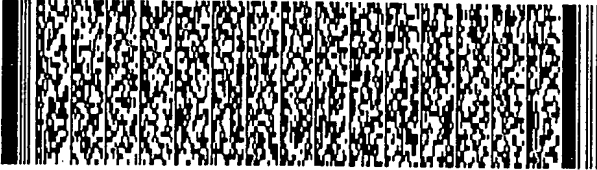
第 11/21 頁



第 12/21 頁



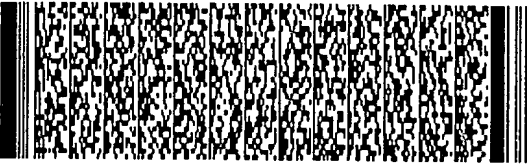
第 12/21 頁



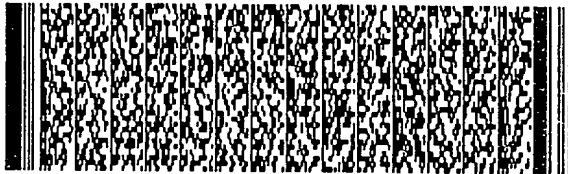
第 13/21 頁



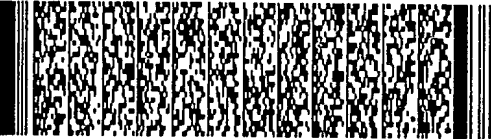
第 13/21 頁



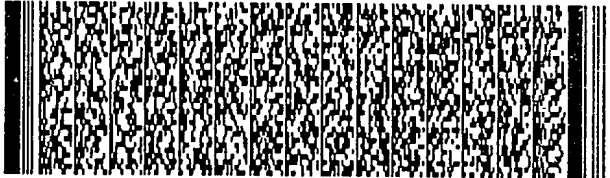
第 14/21 頁



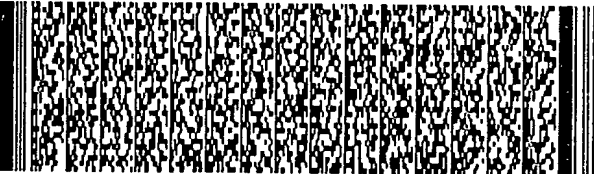
第 15/21 頁



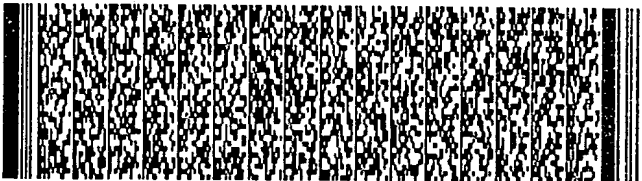
第 16/21 頁



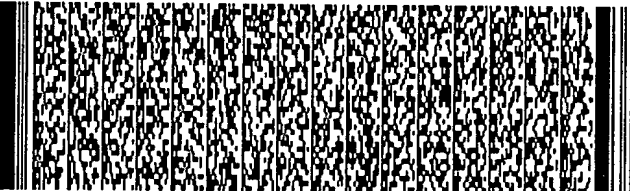
第 17/21 頁



第 18/21 頁



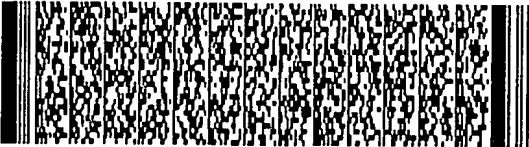
第 19/21 頁



第 20/21 頁



第 21/21 頁





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**